

# MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

**Publication number:** JP8064774 (A)

**Publication date:** 1996-03-08

**Inventor(s):** ASAI SATORU +

**Applicant(s):** FUJITSU LTD +

**Classification:**

- **international:** H01L27/095; H01L21/338; H01L29/778; H01L29/812; H01L27/085; H01L21/02; H01L29/66; (IPC1-7): H01L27/095; H01L21/338; H01L29/778; H01L29/812

- **European:**

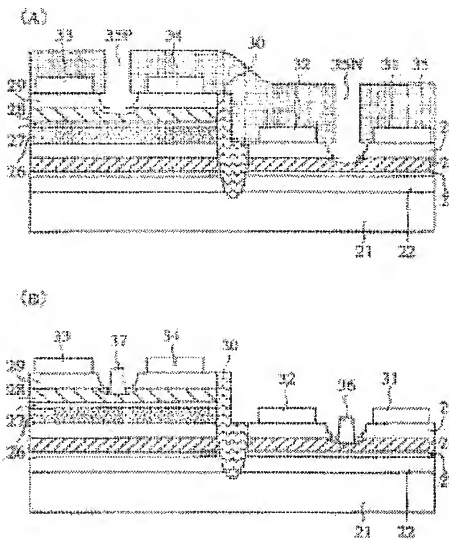
**Application number:** JP19940198325 19940823

**Priority number(s):** JP19940198325 19940823

**Abstract of JP 8064774 (A)**

**PURPOSE:** To provide a method of manufacturing a semiconductor integrated circuit device, wherein an N-type field effect transistor and a P-type field effect transistor are separately controlled in threshold voltage through a single process.

**CONSTITUTION:** An N-type transistor forming semiconductor layer which contains an electron supply layer 24 and a P-type transistor forming semiconductor layer which contains a hole supply layer 28 are laminated on a substrate 21, the P-type transistor forming semiconductor layer located on an N-type transistor forming predetermined region is selectively removed so as to form a resist film 35 provided with an opening 35P located at the gate electrode forming predetermined part of a P-type transistor and an opening 35N located at the gate electrode forming predetermined part of an N-type transistor. Two etching operations are carried out almost simultaneously for controlling a P-type transistor and an N-type transistor in threshold voltage separately using a dilute mixed solution composed of hydrofluoric acid and hydrogen peroxide and another dilute mixed solution composed of citric acid water solution and hydrogen peroxide without replacing the resist film 35.



Data supplied from the **espacenet** database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-64774

(43) 公開日 平成8年(1996)3月8日

|                           |      |         |                |                    |
|---------------------------|------|---------|----------------|--------------------|
| (51) Int.Cl. <sup>6</sup> | 識別記号 | 庁内整理番号  | F I            | 技術表示箇所             |
| H 0 1 L 27/095            |      |         |                |                    |
| 29/778                    |      |         |                |                    |
| 21/338                    |      |         |                |                    |
|                           |      | 9171-4M | H 0 1 L 29/ 80 | E                  |
|                           |      | 9171-4M |                | H                  |
|                           | 審査請求 | 未請求     | 請求項の数 2        | 〇 L (全 7 頁) 最終頁に続く |

(21) 出願番号 特願平6-198325

(22) 出願日 平成6年(1994)8月23日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 浅井 了

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 柏谷 昭司 (外1名)

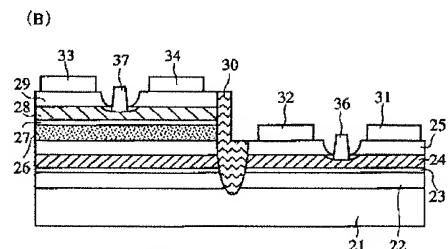
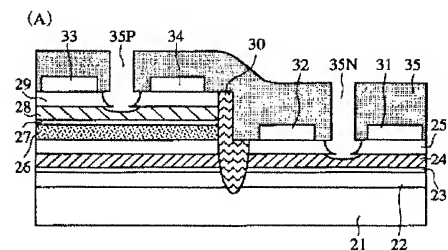
(54) 【発明の名称】 半導体集積回路装置の製造方法

(57) 【要約】

【目的】 半導体集積回路装置の製造方法に関し、n型とp型の電界効果トランジスタに於けるしきい値電圧制御を独立に、しかも、一回のプロセスで行う。

【構成】 基板21に電子供給層24を含むn型トランジスタ部分構成用半導体層及び正孔供給層28を含むp型トランジスタ部分構成用半導体層を積層し、n型トランジスタ部分形成予定領域上に在るp型トランジスタ部分構成用半導体層を選択的に除去し、p型トランジスタ部分のゲート電極形成予定部分に開口35Pをもち且つn型トランジスタ部分のゲート電極形成予定部分に開口35Nをもつレジスト膜35を形成し、フッ化水素酸と過酸化水素水を混合した希釈水溶液とクエン酸水溶液と過酸化水素水を混合した希釈水溶液を使い分けてp型トランジスタ部分のしきい値電圧制御とn型トランジスタ部分のしきい値電圧制御とを行う為のエッチングをレジスト膜35を替えることなく相前後して実施する。

工程要所に於ける半導体集積回路装置  
の要部切断側面図



36: ゲート電極  
37: ゲート電極

## 【特許請求の範囲】

【請求項1】同一基板上に一導電型トランジスタ部分のゲート電極コンタクト層を含む一導電型トランジスタ部分構成用の所要半導体層及び反対導電型トランジスタ部分のゲート電極コンタクト層を含む反対導電型トランジスタ部分構成用の所要半導体層を積層形成する工程と、次いで、一導電型トランジスタ部分形成予定領域上に在る前記反対導電型トランジスタ部分構成用の所要半導体層を除去して前記一導電型トランジスタ部分構成用の所要半導体層表面を選択的に露出させる工程と、次いで、前記反対導電型トランジスタ部分のゲート電極形成予定部分に開口を有すると共に前記一導電型トランジスタ部分のゲート電極形成予定部分に開口を有するレジスト膜を形成する工程と、次いで、前記反対導電型トランジスタ部分のゲート電極コンタクト層に対するエッチング・レートが高く且つ前記一導電型トランジスタ部分のゲート電極コンタクト層に対するエッチング・レートが低いエッチャント並びに前記一導電型トランジスタ部分のゲート電極コンタクト層に対するエッチング・レートが高く且つ前記反対導電型トランジスタ部分のゲート電極コンタクト層に対するエッチング・レートが低いエッチャントをそれぞれ使い分けて前記反対導電型トランジスタ部分のしきい値電圧制御と前記一導電型トランジスタ部分のしきい値電圧制御とを行う為の前記各ゲート電極コンタクト層のエッチングをマスクである前記レジスト膜を替えることなく相前後して実施する工程とが含まれてなることを特徴とする半導体集積回路装置の製造方法。

【請求項2】一導電型トランジスタ部分に於けるゲート電極コンタクト層を構成する材料が $Al_xGa_{1-x}As$  ( $x \leq 0.5$ )であるとと共に反対導電型トランジスタ部分に於けるゲート電極コンタクト層を構成する材料が $Al_xGa_{1-x}As$  ( $x \geq 0.75$ )であって且つ $Al_xGa_{1-x}As$  ( $x \leq 0.5$ )に対するエッチング液がフッ化水素酸及び過酸化水素水の混合液であるとと共に $Al_xGa_{1-x}As$  ( $x \geq 0.75$ )に対するエッチング液がクエン酸水溶液及び過酸化水素水の混合液であることを特徴とする請求項1記載の半導体集積回路装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、n型電界効果トランジスタ（以下、n型FET）及びp型電界効果トランジスタ（以下、p型FET）を同一半導体基板上に作り込む半導体集積回路装置を製造するのに好適な方法に関する。

【0002】現在、半導体集積回路装置の高速化及び低消費電力化が進められていて、化合物半導体を用いたものに於いても、相補型回路の実現が希求されている。

## 【0003】

【従来の技術】従来、相補型回路を形成するには、平坦なウエハ上にイオン注入技術を適用することに依ってn型FET及びp型FETを形成したり、或いは、n型FET用の半導体層とp型FET用の半導体層とを独立にエピタキシャル成長させる二段構造などが実施されている。

## 【0004】

【発明が解決しようとする課題】イオン注入技術を適用することに依ってn型FET及びp型FETを形成する方法では、ゲートをマスクとしてイオン注入するセルフ・アライメント方式でオーミック・コンタクト領域を形成しているのであるが、その注入した不純物を活性化するための $800[^\circ C] \sim 900[^\circ C]$ に及ぶ熱処理プロセス時に不純物がゲート方向にも拡散してしまうので、制御性良く短チャネルのFETを形成することが困難である。

【0005】また、n型FET用の半導体層とp型FET用の半導体層とを独立にエピタキシャル成長させる二段構造の場合、二つのしきい値電圧を独立に制御することが可能であるが、そのゲート電極形成プロセス、特に、しきい値電圧を調整する為のプロセスはn型とp型で二度必要である。

【0006】本発明は、n型とp型の二つの電界効果トランジスタに於けるしきい値電圧を独立に制御することが可能であるにも拘わらず、それを一度のゲート電極形成プロセスで実現できるようにする。

## 【0007】

【課題を解決するための手段】図1は本発明の原理を説明する為の工程要所に於ける相補型回路をなす半導体集積回路装置を表す要部切断側面図である。

【0008】図に於いて、1は基板、2はバッファ層、3はチャネル層、4はキャリア供給層（即ち、ゲート電極コンタクト層）、5はキャップ層、6はソース、7はドレイン、8はバッファ層、9はチャネル層、10はキャリア供給層（即ち、ゲート電極コンタクト層）、11はキャップ層、12はソース、13はドレイン、14は素子間分離領域、15はレジスト膜、4Aはゲート・リセス、10Aはゲート・リセス、16及び17はゲート電極をそれぞれ示している。

【0009】図示の半導体集積回路装置に於いて、素子間分離領域14を間にして右側はn型トランジスタ部分であり、また、左側はp型トランジスタ部分である。

【0010】p型トランジスタ部分に於けるゲート電極16の直下には、ある材料Aからなるキャリア供給層10が存在し、また、n型トランジスタ部分に於けるゲート電極17の直下には、ある材料Bからなるキャリア供給層4が存在する。

【0011】図示の半導体集積回路装置に於けるゲート部分を作製するには、ゲート電極形成用開口をもつレジスト膜15を形成し、まず、キャップ層11及び材料A

からなるキャリア供給層10の一部を選択的にエッチングし、ソース12及びドレイン13間に流れる電流を測定しつつ、ゲート・リセス10Aを形成してp型トランジスタ部分のしきい値電圧を制御する。

【0012】次に、キャップ層5及び材料Bからなるキャリア供給層4の一部を選択的にエッチングし、ソース6及びドレイン7間に流れる電流を測定しつつ、ゲート・リセス4Aを形成してn型トランジスタ部分のしきい値電圧を制御する。

【0013】その後、p型トランジスタ部分に於けるゲート電極16及びn型トランジスタ部分に於けるゲート電極17を形成して完成する。

【0014】前記したところから明かなように、本発明に依る半導体集積回路装置の製造方法に於いては、

(1) 同一基板(例えば基板21)上に一導電型トランジスタ部分(例えばn型トランジスタ部分)のゲート電極コンタクト層(例えば電子供給層24)を含む一導電型トランジスタ部分構成用の所要半導体層(例えばバッファ層22、チャネル層23、電子供給層24、キャップ層25など)及び反対導電型トランジスタ部分(例えばp型トランジスタ部分)のゲート電極コンタクト層(例えば正孔供給層28)を含む反対導電型トランジスタ部分構成用の所要半導体層(例えばバッファ層26、チャネル層27、正孔供給層28、キャップ層29など)を積層形成する工程と、次いで、一導電型トランジスタ部分形成予定領域上に在る前記反対導電型トランジスタ部分構成用の所要半導体層を除去して前記一導電型トランジスタ部分構成用の所要半導体層表面を選択的に露出させる工程と、次いで、前記反対導電型トランジスタ部分のゲート電極形成予定部分に開口(例えば開口35P)を有すると共に前記一導電型トランジスタ部分のゲート電極形成予定部分に開口(例えば開口35N)を有するレジスト膜(例えばレジスト膜35)を形成する工程と、次いで、前記反対導電型トランジスタ部分のゲート電極コンタクト層に対するエッチング・レートが高く且つ前記一導電型トランジスタ部分のゲート電極コンタクト層に対するエッチング・レートが低いエッチャント(例えばフッ化水素酸と過酸化水素水を混合した希釈水溶液)並びに前記一導電型トランジスタ部分のゲート電極コンタクト層に対するエッチング・レートが高く且つ前記反対導電型トランジスタ部分のゲート電極コンタクト層に対するエッチング・レートが低いエッチャント(例えばクエン酸水溶液と過酸化水素水を混合した希釈水溶液)をそれぞれ使い分けて前記反対導電型トランジスタ部分のしきい値電圧制御と前記一導電型トランジスタ部分のしきい値電圧制御とを行う為の前記各ゲート電極コンタクト層のエッチングをマスクである前記レジスト膜を替えることなく相前後して実施する工程とが含まれることを特徴とするか、又は、

【0015】(2) 前記(1)に於いて、一導電型トラ

ンジスタ部分に於けるゲート電極コンタクト層を構成する材料が $Al_x Ga_{1-x} As$  ( $x \leq 0.5$ )であると共に反対導電型トランジスタ部分に於けるゲート電極コンタクト層を構成する材料が $Al_x Ga_{1-x} As$  ( $x \geq 0.75$ )であって且つ $Al_x Ga_{1-x} As$  ( $x \leq 0.5$ )に対するエッチング液がフッ化水素酸と過酸化水素水の混合液であると共に $Al_x Ga_{1-x} As$  ( $x \geq 0.75$ )に対するエッチング液がクエン酸水溶液と過酸化水素水の混合液であることを特徴とする。

【0016】

【作用】前記手段を採ることに依り、p型トランジスタ部分のしきい値電圧とn型トランジスタ部分のしきい値電圧とを独立して制御することが可能でありながら、ゲートの形成プロセスは一回で済ませることができ、従って、相補型回路を簡単、且つ、短い工程で製造することができる。

【0017】

【実施例】図2及び図3は本発明一実施例の工程を解説する為の工程要所に於ける半導体集積回路装置(相補回路)を表す要部切断側面図であり、以下、これ等の図を参照しつつ説明する。

【0018】図2(A)参照

2(A)-1

分子線エピタキシャル成長(molecular beam epitaxy: MBE)法を適用して、基板21上にバッファ層22、チャネル層23、電子供給層(ゲート電極コンタクト層)24、キャップ層25、バッファ層26、チャネル層27、正孔供給層(ゲート電極コンタクト層)28、キャップ層29を形成する。

【0019】尚、バッファ層22、チャネル層23、電子供給層24、キャップ層25はn型トランジスタ部分を形成する為の構成要素、また、バッファ層26、チャネル層27、正孔供給層28、キャップ層29はp型トランジスタ部分を形成する為の構成要素である。

【0020】ここで、各部分に関する主要なデータを挙げると次の通りである。

基板21について

材料：半絶縁性GaAs

バッファ層22について

材料：アンドープGaAs

厚さ：2000[Å]

チャネル層23について

材料：アンドープInGaAs

厚さ：140[Å]

電子供給層24について

材料： $n-Al_x Ga_{1-x} As$

x値：0.5

不純物濃度： $2 \times 10^{18} [cm^{-3}]$

厚さ：400[Å]

【0021】尚、この場合、x値を0.5とした理由

は、電子供給層として適正に動作すると共にエッチングに対しても適切な効果を示す値であることに依る。

【0022】 キャップ層25について

材料：n-GaAs

不純物濃度： $2 \times 10^{18} [\text{cm}^{-3}]$

厚さ：500 [Å]

バッファ層26について

材料：アンドープGaAs

厚さ：2000 [Å]

チャネル層27について

材料：アンドープInGaAs

厚さ：140 [Å]

正孔供給層28について

材料： $p\text{-Al}_x\text{Ga}_{1-x}\text{As}$

x値：0.75

不純物濃度： $2 \times 10^{18} [\text{cm}^{-3}]$

厚さ：300 [Å]

【0023】尚、この場合、x値を0.75とした理由は、正孔供給層として適正に動作すると共にエッチングに対しても適切な効果を示す値であることに依る。

【0024】 キャップ層29について

材料：p-GaAs

不純物濃度： $2 \times 10^{19} [\text{cm}^{-3}]$

厚さ：500 [Å]

【0025】2(A)-2

イオン注入法を適用することに依り、p型トランジスタ部分とn型トランジスタ部分との境界及びその近傍に酸素イオンを注入し、素子間分離領域30を形成する。

【0026】2(A)-3

リソグラフィ技術に於けるレジスト・プロセス、及び、ウェット・エッチング法を適用することに依り、n型トランジスタ部分に於けるキャップ層29、正孔供給層28、チャネル層27、バッファ層26を除去してキャップ層25を表出させる。

【0027】2(A)-4

二回に亙り、リソグラフィ技術に於けるレジスト・プロセス、真空蒸着法、リフト・オフ法を適用することに依り、n型トランジスタ部分に於けるソース電極31とドレイン電極32、並びに、p型トランジスタ部分に於けるソース電極33とドレイン電極34を形成する。

【0028】尚、n型トランジスタ部分に於けるソース電極31及びドレイン電極32はAuGe/Auで、また、p型トランジスタ部分に於けるソース電極33及びドレイン電極34はAuZn/Auでそれぞれ形成する。

【0029】図2(B)参照

2(B)-1

リソグラフィ技術に於けるレジスト・プロセスを適用することに依り、n型トランジスタ部分に於けるゲート電極形成予定部分及びp型トランジスタ部分に於けるゲート電極形成予定部分に開口35N及び開口35Pを有するレジスト膜35を形成する。

ト電極形成予定部分に開口35N及び開口35Pを有するレジスト膜35を形成する。

【0030】2(B)-2

フッ化水素酸と過酸化水素水を混合した希釈水溶液(HF:H<sub>2</sub>O<sub>2</sub>:H<sub>2</sub>O=5:84:26350)をエッチャントとするウェット・エッチング法を適用することに依り、p型トランジスタ部分に於ける開口35P内に表出されているキャップ層29及び正孔供給層28のエッチングを行ってp型トランジスタ部分のしきい値電圧制御を行う。

【0031】この場合に於けるGaAsのエッチング速度は約180 [Å/分]、 $\text{Al}_x\text{Ga}_{1-x}\text{As}$  (x=0.5)のエッチング速度は約240 [Å/分]、 $\text{Al}_x\text{Ga}_{1-x}\text{As}$  (x=0.75)のエッチング速度は約420 [Å/分]であることから、この際、n型トランジスタ部分に於ける開口35N内に表出されているキャップ層25はキャップ層29と同様にエッチングされるが、電子供給層24はp型トランジスタ部分のしきい値電圧制御が終了するまでに若干エッチングされる程度である。

【0032】図3(A)参照

3(A)-1

クエン酸水溶液と過酸化水素水を混合した希釈水溶液(クエン酸(50%):H<sub>2</sub>O<sub>2</sub>:H<sub>2</sub>O=5:1:6)をエッチャントとするウェット・エッチング法を適用することに依り、n型トランジスタ部分に於ける開口35N内に表出されている電子供給層24のエッチングを行ってn型トランジスタ部分のしきい値電圧制御を行う。

【0033】この場合に於けるGaAsのエッチング速度は約1800 [Å/分]、 $\text{Al}_x\text{Ga}_{1-x}\text{As}$  (x=0.5)のエッチング速度は約1350 [Å/分]、 $\text{Al}_x\text{Ga}_{1-x}\text{As}$  (x=0.75)のエッチング速度は約0 [Å/分]であることから、この際、p型トランジスタ部分に於ける開口35P内に表出されている正孔供給層28はn型トランジスタ部分のしきい値電圧制御が終了するまでに殆どエッチングされない。従って、p型トランジスタ部分のしきい値電圧は変化せず、n型トランジスタ部分のしきい値電圧のみが変化する。

【0034】図3(B)参照

3(B)-1

しきい値電圧制御のエッチング・マスクとして用いたレジスト膜35を残したまま、真空蒸着法、リフト・オフ法を適用することに依り、例えばAlからなるn型トランジスタ部分のゲート電極36及びp型トランジスタ部分のゲート電極37を形成する。

【0035】本発明では、 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ に対するエッチング液として、x値の如何でエッチング・レートが変化するクエン酸水溶液と過酸化水素水を混合した希釈水溶液を用いることが重要であることから、ここで、

その特性を説明する。

【0036】図4はクエン酸(50%) :  $H_2O_2$  :  $H_2O = 5 : 1 : 6$ のエッチング特性を説明する為の線図であり、横軸には $Al_xGa_{1-x}As$ に於ける $x$ 値を、そして、縦軸にはエッチング・レート [ $\text{\AA}/\text{分}$ ] をそれぞれ採っている。

【0037】図からすると、 $x=0.5$ では、エッチング・レートが約1350 [ $\text{\AA}/\text{分}$ ]であり、また、 $x=0.75$ では、エッチングレートが約0 [ $\text{\AA}/\text{分}$ ]であることが看取される。

【0038】本発明では、前記実施例に限られることなく、特許請求の範囲に記載した発明の構成要件を逸脱することなく、多くの改変を実現することができる。

【0039】例えば、前記実施例では、 $n$ 型トランジスタ部分に於ける電子供給層24の材料として $n-Al_xGa_{1-x}As$  ( $x=0.5$ )を用いたが、これを $n-Al_xGa_{1-x}As$  ( $x=0.3$ )に代替しても良い。

【0040】勿論、この場合には、 $n$ 型トランジスタ部分のしきい値電圧制御の為のエッチング液を変更することが必要であり、例えばクエン酸水溶液と過酸化水素水を混合した水溶液(クエン酸(50%) :  $H_2O_2 = 15 : 1$ )を用いる。

【0041】この場合に於ける $GaAs$ のエッチング速度は約1500 [ $\text{\AA}/\text{分}$ ]、 $Al_xGa_{1-x}As$  ( $x=0.3$ )のエッチング速度は約1200 [ $\text{\AA}/\text{分}$ ]、 $Al_xGa_{1-x}As$  ( $x=0.75$ )のエッチング速度は約0 [ $\text{\AA}/\text{分}$ ]であることから、この際、 $p$ 型トランジスタ部分に於ける開口35P内に表出されている正孔供給層28は $n$ 型トランジスタ部分のしきい値電圧制御が終了するまでに殆どエッチングされない。従って、 $p$ 型トランジスタ部分のしきい値電圧は変化せず、 $n$ 型トランジスタ部分のしきい値電圧のみが変化する。

【0042】また、ゲート電極36或いは37がコンタクトする半導体層はアンドープであっても良い。

【0043】

【発明の効果】本発明に依る半導体集積回路装置の製造方法に於いては、同一基板上に一導電型トランジスタ部分のゲート電極コンタクト層を含む一導電型トランジスタ部分構成用の所要半導体層及び反対導電型トランジスタ部分のゲート電極コンタクト層を含む反対導電型トランジスタ部分構成用の所要半導体層を積層形成し、一導電型トランジスタ部分形成予定領域上に在る反対導電型トランジスタ部分構成用の所要半導体層を除去して一導電型トランジスタ部分構成用の所要半導体層表面を選択的に露出させ、反対導電型トランジスタ部分のゲート電極形成予定部分に開口を有すると共に一導電型トランジスタ部分のゲート電極形成予定部分に開口を有するレジスト膜を形成し、反対導電型トランジスタ部分のゲート電極コンタクト層に対するエッチング・レートが高く且

つ一導電型トランジスタ部分のゲート電極コンタクト層に対するエッチング・レートが低いエッチャント並びに一導電型トランジスタ部分のゲート電極コンタクト層に対するエッチング・レートが高く且つ反対導電型トランジスタ部分のゲート電極コンタクト層に対するエッチング・レートが低いエッチャントをそれぞれ使い分けて反対導電型トランジスタ部分のしきい値電圧制御と一導電型トランジスタ部分のしきい値電圧制御とを行う為の各ゲート電極コンタクト層のエッチングをマスクであるレジスト膜を替えることなく相前後して実施する。

【0044】前記構成を採ることに依り、 $p$ 型トランジスタ部分のしきい値電圧と $n$ 型トランジスタ部分のしきい値電圧とを独立して制御することが可能でありながら、ゲートの形成プロセスは一回で済ませることができ、従って、相補型回路を簡単、且つ、短い工程で製造することができる。

【図面の簡単な説明】

【図1】本発明の原理を説明する為の工程要所に於ける相補型回路をなす半導体集積回路装置を表す要部切断側面図である。

【図2】本発明一実施例の工程を解説する為の工程要所に於ける半導体集積回路装置を表す要部切断側面図である。

【図3】本発明一実施例の工程を解説する為の工程要所に於ける半導体集積回路装置を表す要部切断側面図である。

【図4】クエン酸(50%) :  $H_2O_2$  :  $H_2O = 5 : 1 : 6$ のエッチング特性を説明する為の線図である。

【符号の説明】

- 21 基板
- 22 バッファ層
- 23 チャネル層
- 24 電子供給層(ゲート電極コンタクト層)
- 25 キャップ層
- 26 バッファ層
- 27 チャネル層
- 28 正孔供給層(ゲート電極コンタクト層)
- 29 キャップ層
- 30 素子間分離領域
- 31 ソース電極
- 32 ドレイン電極
- 33 ソース電極
- 34 ドレイン電極
- 35 レジスト膜
- 35N 開口
- 35P 開口
- 36 ゲート電極
- 37 ゲート電極

( 6 )

特開平8-64774

【図1】

【図2】

【図4】

( 7 )

特開平 8 - 6 4 7 7 4

【図 3】

---

フロントページの続き

(51)Int. Cl.<sup>6</sup>  
H 0 1 L 29/812

識別記号

片内整理番号

F I

技術表示箇所